

RFP관리번호	2025-반도체·디스플레이-품목공모-11		공모유형	품목공모형		
해당여부	☒ 국가전략기술 ☐ 탄소중립 ☐ 글로벌 R&D ☐ 미래소재 ☐ 전략연구사업(MPX(예정) ☐ 국방전략기술(예정)					
국책연구기획 평가전문분야1	PM분야	반도체· 디스플레이	RB분야	Si반도체	RB세부분야	
국책연구기획 평가전문분야2	PM분야		RB분야		RB세부분야	
사업명	PIM인공지능반도체핵심기술개발(소자)사업 - 신재료 PIM 소자 및 어레이 기술					
RFP명	강유전체 메모리 기반 PIM 소자 기술 고도화 및 하드웨어 시스템 개발 (TRL : [시작] 4단계 ~ [종료] 5단계)					
RFP유형코드	사업목적·내용	성과물 특성		지원대상	보안과제 분류	일반
	R	1	-	1		
1. 추진배경						
○ IoT 및 AI 기술의 급격한 발전과 더불어 데이터 생성과 처리가 폭증하고 있으며, 이에 따라 기존의 폰 노이만 아키텍처는 데이터 이동 병목 현상으로 인해 연산 성능과 에너지 효율 측면에서 한계를 보이고 있음. 이를 해결하기 위해 연산과 메모리의 경계를 허물어 메모리 내에서 직접 연산을 수행하는 PIM (Processing-in-Memory) 기술이 중요하게 대두되고 있으며, 특히 강유전체 기반 PIM 소자가 차세대 저전력·고성능 컴퓨팅을 위한 핵심 기술로 주목받고 있음 ○ 현재 FeRAM, FeFET, FTJ 등의 강유전체 메모리 소자가 연구되고 있으며, 이들은 비휘발성, 저전력 동작, 높은 내구성 등의 장점을 가지고 있음. 그러나 차세대 PIM 아키텍처 구현을 위해서는 대규모 집적화 및 연산 최적화가 필수적이며, 기존 기술들은 이러한 요구를 완전히 충족하지 못하고 있는 실정임. 이를 해결하기 위해서 보다 고집적화된 3D 수직적층 기술과 모놀리식 집적 회로 아키텍처의 개발이 필요함 ○ 성공적인 PIM 소자 및 어레이 기술 구현을 위해서는 기존 강유전체 메모리의 한계를 극복하고, PIM 특화 소자로서 최적화된 성능을 확보할 수 있는 새로운 소자 구조와 집적 기술의 개발이 필수적임. 이러한 방향성에 기반하여 강유전체 메모리 연구자들은 multi-level memcapacitor, NC-FET 등 초저전력·고신뢰성 연산 신소자를 개발하고, 3D 수직적층 기술을 적용하여 고집적화 및 면적 효율을 극대화하며, 비정형 데이터 처리 및 행렬 연산을 위한 고속 MAC 연산 전용 회로 설계를 통해 회로 차원에서 연산 효율을 개선할 수 있는 고도화된 PIM 전용 소자 아키텍처 구축 등에 연구역량을 집중하고 있음 ○ 기존 개념 검증 수준의 기초 연구를 넘어, 차세대 PIM 구현을 위한 소재, 소자 및 어레이와 구동회로 및 아키텍처의 기술 고도화를 통해 차세대 AI 및 고성능 저전력 연산 시스템 구현에 기여할 수 있는 실질적인 PIM 아키텍처 개발 및 실현이 필요함						

2. 연구개발목표

- 최종 목표 : 강유전체 메모리 기반 PIM 소자 기술 고도화 및 하드웨어 시스템 기반 응용 검증
- 단계별 목표

1단계('25~'26)	- 강유전체 메모리 신소자 기술 고도화 - 강유전체 메모리 기반 PIM 회로 기술 개발 - 강유전체 메모리 및 구동회로 집적 기술 개발
2단계('27~'28)	- 메모리 소자/어레이 및 구동회로 기술 최적화 - 검증 application을 위한 하드웨어 플랫폼 설계 및 개발 - 하드웨어 플랫폼을 이용한 신소자 어레이의 우수성 검증

3. 연구개발내용 및 성과목표

※ 각 세부 주제별 연구개발 내용 및 목표를 단계별로 구분하여 제시하여야 함

○ (세부 주제1) 강유전체 메모리 신소자 기술 고도화

- 강유전체 메모리 소자/어레이 특성 개선 연구
 - 과제제안자의 기보유 기술을 바탕으로 달성가능한 소자/어레이 동작특성 제시
 - (필수목표) 강유전막 두께(≤ 8 nm), 강유전성 발현 온도($\leq 350^{\circ}\text{C}$), remnant polarization(≥ 20 μC), Coercive field(≤ 2 MV/cm)
 - (자율목표) 강유전체 메모리 소자/어레이의 동작 전압, 동작 속도, memory window, retention, endurance, number of memory states, write/read power/energy, cycle-to-cycle 산포, 소자간 산포 등 항목 및 수치 자율 제시
- ※ 상기 필수목표 및 자율목표는 추후 제작하고자 하는 응용 회로와 연계하여야 함
- 상기 제시한 PIM 신재료 소자를 기반으로 수직 적층 어레이의 구현 가능성 및 기능적/성능적 우수성 검증 방안을 제시할 시 우대
 - FeRAM 등 강유전 소자 수직 적층 어레이의 특성 요건 제시
(예: 수율($\geq 90\%$), hole size(≤ 250 nm), 수직적층 수(≥ 2), 어레이 크기($\geq 32 \times 32$ 개 소자), 분극 산포($\leq 5\%$) 외 특성은 자유 제시)
 - 최소 $32 \times 32 \times 2$ 셀 어레이 공정 및 동작 기술 개발

○ (세부 주제2) 강유전체 메모리 기반 PIM 회로/시스템 기술 및 구동회로 집적

- PIM 소자 개발 및 단일 소자 레벨의 성능 검증을 넘어, PIM 연산 소자 어레이 레벨에서의 하드웨어 동작 구현 및 PIM 기반 연산을 실질적으로 구동할 수 있는 하드웨어 플랫폼 개발을 목표함*

* 어레이 수준의 성능 달성은 단순한 신소자의 특성 개선보다 구동 회로 및 후단 공정 기술이 주요한 영향을 미칠 수 있으므로, 소자-어레이-회로-시스템 간의 유기적인 연계 및 통합 기술 개발 형태로 고려되어야 함

1단계 ('25~'26): PIM 연산 소자 어레이 구현 및 동작 검증

- PIM 연산을 위한 저전력 구동 회로 설계 및 SPICE 기반 시뮬레이션 환경 구축
 - 강유전체 기반 PIM 연산 소자 어레이를 대상으로, SPICE 및 Verilog-A 모델을 적용한 회로 설계 및 시뮬레이션 환경 구성
 - CMOS 공정과 호환되는 강유전체 메모리 기반 어레이의 비휘발성 연산 특성을 고려한 구동 회로 설계
- PIM 전용 행렬 연산 가속기(MAC Engine) 설계 및 최적화
 - 메모리 내 연산(In-Memory Computing) 아키텍처를 적용하여 MAC 연산 최적화
 - 기존 폰노이만 방식/CMOS 방식 대비 성능 개선 평가 자율제시 (예시: 병렬 연산 성능, 전력 효율, 처리 속도, 특정 네트워크(Transformer, CNN, RNN, 등))
- PIM 어레이의 실험적 검증 및 시스템 시뮬레이션 진행
 - 기존 소자 단위 에뮬레이션 검증을 넘어, PIM 어레이 차원에서 연산 성능을 실험적으로 평가 (예시) PIM 어레이 기반 CNN 모델을 활용한 CIFAR-10/ImageNet 추론 성능 평가: Inference Accuracy, nJ/image, μ s/image 등
 - 제작된 PIM 소자 어레이와 주변 회로를 실제 하드웨어 환경에서 통합 및 연산 테스트 진행

2단계 ('27~'28): PIM 연산 하드웨어 플랫폼 개발 및 동작 검증

- PIM 하드웨어 플랫폼 개발 및 FPGA 기반 프로토타이핑
 - PIM 소자 어레이 및 구동 회로를 통합하여 하드웨어 플랫폼(System-on-Chip) 개발
 - FPGA 기반 PIM 하드웨어 프로토타입 구현 및 PIM 응용 테스트 환경 구축
- 신소자 어레이 구동을 위한 실용적 하드웨어 플랫폼 구축
 - PIM 연산 특성을 고려한 SoC 설계 및 인터페이스 회로 개발
 - PIM 어레이 기반 MAC 연산의 정확도 및 신뢰성 검증을 위한 하드웨어 환경 구축
- PIM 어레이의 실험적 검증 및 시스템 시뮬레이션 진행
 - 기존 소자 단위 에뮬레이션 검증을 넘어, PIM 어레이 차원에서 연산 성능을 실험적으로 평가 (예시) PIM 어레이 기반 CNN 모델을 활용한 CIFAR-10/ImageNet 추론 성능 평가: Inference Accuracy, nJ/image, μ s/image 등
 - 제작된 PIM 소자 어레이와 주변 회로를 실제 하드웨어 환경에서 통합 및 연산 테스트 진행

○ (세부 주제3) PIM 응용 시스템 연산 최적화 및 검증

- PIM 반도체의 실질적인 성능 검증과 산업 적용 가능성을 평가하기 위해 소자-회로-시스템 레벨에서의 통합적인 PIM 반도체 제작 및 기능 검증을 목표로 함 (단순 MNIST, CIFAR-100 이미지 인식 등 이상의 실증 수준)
- 실제 응용 환경에서의 연산 성능 및 전력 효율성 검증이 가능한 PIM 검증 어플리케이션** 자율 제시

- 32×32 이상의 대규모 PIM 어레이를 적용할 수 있는 응용
- MAC 연산 최적화, 강유전체 기반 데이터 유지(retention), 초저전력 연산 성능 등의 PIM 소자의 핵심 특징을 반영한 어플리케이션을 선정하여 검증
- AI 추론 가속기, IoT 데이터 분석, 영상 인식 등 다양한 응용 사례를 기반으로 PIM 연산 성능 평가
- PIM 기반 AI 연산 최적화 모델(CNN, RNN, SNN 등) 개발 및 시스템 레벨 성능 분석

** 검증 Application 예:

- AI 추론 가속기 기반 의료 신호 분석 시스템: 비정형 데이터 처리에 최적화된 PIM 기반 AI 연산 가속기를 개발하여 검증
- 고속 비정형 데이터 분석 및 자연어 처리(NLP) 가속기: Transformer 기반 자연어 처리 모델(BERT, GPT 등) 학습 및 추론 최적화 등

○ 과제 핵심 성과 목표

	어레이수준	전력효율	메모리병목화지수***	검증 Applications**
1단계	>32x32	>0.3POPS/W	<50%	-
2단계(최종)	>32x32	>0.4POPS/W	<40%	> 1개

*** 데이터 이동에 따라 연산이 중지되는 시간 비율

○ 국내·외 특허 출원 및 등록 자율 제시(국가 R&D 연구비 10억당 출원 4건/등록 2건 내외 수준 고려)

- SMART A등급 이상의 등록 특허 건수 자율 제시

○ SCI(E)급 논문 게재 건수 자율 제시(국가 R&D 연구비 10억당 5편 내외 수준 고려)

4. 지원기간/예산/추진체계

○ 연구개발기간 : '25.4. ~ '28.12.(총 45개월 내외, (2+2)21개월+24개월)

○ 정부지원연구개발비 : 총 4,400백만원 내외('25년 1,100백만원)

1단계('25.4. ~ '26.12. / 21개월)		2단계('27.1. ~ '28.12. / 24개월)	
1차년도	2차년도	3차년도	4차년도
'25.4.~'25.12.	'26.1.~'26.12.	'27.1.~'27.12.	'28.1.~'28.12.
1,100백만원	1,100백만원	1,100백만원	1,100백만원

※ 연차별 연구비 규모 및 연구기간은 정부예산 사정에 따라 변경 가능

○ 선정 과제 수 : 1개 연구개발과제

○ 과제형태 : (일반)연구개발과제

○ 주관연구개발기관 : 대학/출연(연)/기업부설연구소 등

○ 기술료 징수여부 : 기술료 징수

5. 특기사항

- 실제 제출하는 과제명은 연구자의 아이디어가 포함될 수 있는 제목으로 연구 개발계획서를 제출해야 함
- 기존 기술 및 기존 과제와의 차별성을 구체적으로 제시하여야 함
- 개발기술의 성능목표 항목과 수치는 연구 제안자가 자유롭게 제시하되, 객관적인 자료로 제시한 성능목표의 타당성을 입증할 것
- 최종성과물 또는 기술과 관련하여 성과목표별 구체적인 SPEC(사양)을 제시할 수 있는 경우, 본 연구를 통하여 달성하고자 하는 목표와 참고자료(현재 기술 수준)를 함께 제시
- 모든 성과목표는 구체적인 측정/평가 방식을 제시하여야 함
- (평가주안점) 본 과제의 달성 가능성을 평가하기 위하여, 현재 확보 중인 강유전체 메모리 PIM 기반 기술(소자, 회로, 시스템) 수준을 평가에 반영할 예정임. 연구 개발계획서에 현 기술수준을 검증할 수 있는 세부적인 내용을 기술하여야 함
- 단계평가 결과에 따라 2단계 계속지원 여부 및 연구개발비 변경(증액 또는 감액)을 결정할 수 있음